

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091505

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822
G11C 11/413
G11C 16/06
G11C 29/00
H01L 21/82

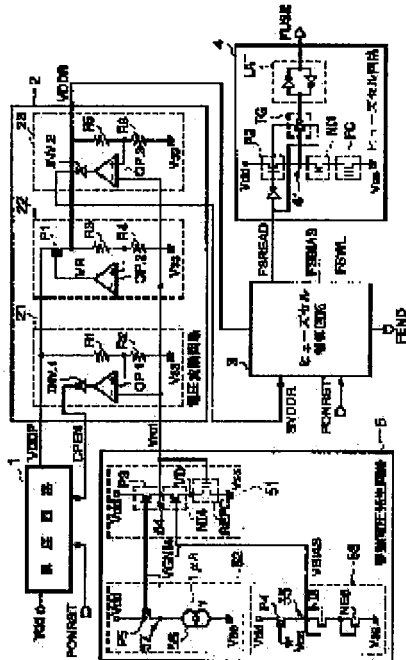
(21)Application number : 10-253995

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.09.1998

(72)Inventor : UMEZAWA AKIRA
ATSUMI SHIGERU
BANBA HIRONORI
SHIGA HITOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91505

(P2000-91505A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	ターモット* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	B 5 B 0 1 6
21/822		C 1 1 C 29/00	6 0 3 J 5 B 0 2 6
G 1 1 C 11/413		11/34	3 4 1 C 5 F 0 3 8
16/06		17/00	6 3 2 Z 5 F 0 6 4
29/00	6 0 3	H 0 1 L 21/82	F 5 L 1 0 6
審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く			

(21) 出願番号 特願平10-253995

(22) 出願日 平成10年9月8日 (1998.9.8)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 梅沢 明

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 渥美 滋

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

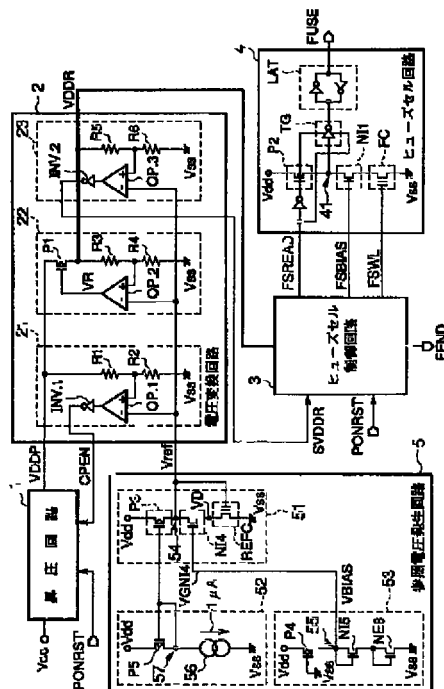
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 読み出し電圧と、記憶データに対応したヒューズセルのしきい値電圧との差を、電源の電圧変動や温度変動に係わらずに大きく保てる半導体集積回路装置を提供すること。

【解決手段】 ヒューズセルFCを含むヒューズセル回路4と、ヒューズセルFCに記憶されたデータを読み出すヒューズセル制御回路3と、昇圧電圧VDDPを発生する昇圧回路1と、参照電圧Vref を使用して、昇圧電圧VDDPをヒューズセルFCからデータを読み出すときに使用される読み出し電圧VDDRに変換する電圧変換回路2とを具備する。そして、参照電圧Vref を、ヒューズセルFCと同一構造を有した基準セルREFCのしきい値電圧を利用して発生させることを特徴としている。



【特許請求の範囲】

【請求項1】 ヒューズセルを含むヒューズセル回路と、
前記ヒューズセルからデータを読み出すヒューズセル制御回路と、
参照電圧を使用して、所定の入力電圧を前記ヒューズセルからデータを読み出すときに使用される読み出し電圧に変換する電圧変換回路と、
前記参照電圧を、前記ヒューズセルと同一構造を有した素子のしきい値電圧を利用して発生させる参照電圧発生回路とを具備することを特徴とする半導体集積回路装置。

【請求項2】 前記参照電圧のレベルを電流変換により他のレベルに変換する電流変換回路を、さらに具備することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記電圧変換回路は、前記参照電圧の変動成分を含む電圧をゲートに受けて前記入力電圧を前記読み出し電圧にレギュレートするトランジスタを含むことを特徴とする請求項1および請求項2いずれかに記載の半導体集積回路装置。

【請求項4】 前記参照電圧の変動成分を含む電圧は、
(A) 前記参照電圧と前記読み出し電圧との差を差動増幅した電圧、
(B) 前記参照電圧を電流変換した電圧、
(C) 前記参照電圧そのもの、
上記(A)～(C)のいずれか一つであることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 外部電源を昇圧して昇圧電圧を発生させ、前記昇圧電圧を前記電圧変換回路に前記入力電圧として供給する昇圧回路を、さらに具備することを特徴とする請求項1乃至請求項4いずれか一項に記載の半導体集積回路装置。

【請求項6】 前記電圧変換回路は、前記読み出し電圧が所定のレベルに達したとき、前記昇圧回路の昇圧動作を停止させるディテクタを含むことを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 前記昇圧回路は、前記ヒューズセルからのデータ読み出しが終了した後、非活性となることを特徴とする請求項5に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数の品種に対応したモード設定用データや、リダンダンシ技術に使用されるリダンダンシデータ等を記憶させるヒューズセルを備えた半導体集積回路装置に関する。

【0002】

【従来の技術】複数の品種に対応したモード設定用データ、例えばI/Oのビット数を変えるようなデータを不揮発性メモリセルに記憶させ、これによりI/Oのビッ

ト数を変えられるような半導体集積回路装置は、特開平2-116084号公報、特開平2-243677号公報等に記載されている。

【0003】最近では、モード設定用データばかりでなく、不良のカラム／ローを予備のカラム／ローに置換する、いわゆるリダンダンシ技術に使用されるリダンダンシデータについても、ヒューズに代わって不揮発性メモリセルに記憶させることが実用化されつつある。この明細書においては、モード設定用データやリダンダンシデータを記憶させる不揮発性メモリセルを“ヒューズセル”と呼ぶ。

【0004】ヒューズセルに記憶されているデータは、製品の品種を決定するデータ、および不良カラム／ローをスベアのカラム／ローに切り換えるデータである。これらのデータは、装置が通常動作を開始する前に読み出し／ラッチされていなければならない。このため、ヒューズセルを備える半導体集積回路装置においては、通常動作を開始する前に、ヒューズセルからのデータ読み出し／ラッチを実行する回路が設けられる。このデータ読み出し／ラッチを実行する回路系の構成を図17に、その主要な信号または電圧波形を図18に示す。以下、その構成を動作とともに説明する。

【0005】図18に示す信号PONRSTは、パワーオンリセット信号である。信号PONRSTは、外部電源V_{dd}の電位が0Vから上昇し、電源投入検知レベルV_{PONRST}(～2V)に達すると“L”レベルとなる。これにより電源が投入されたことが検知される。

【0006】信号PONRST'は、パワーオンリセット信号の一つである。信号PONRSTと異なるところは、信号PONRSTが、外部電源V_{dd}が検知レベルV_{PONRST}に達した時に“L”レベルになるのに対し、信号PONRST'は、外部電源V_{dd}が安定レベル(～3V)に達した後に“L”レベルになることである。即ち、信号PONRST'は、外部電源V_{dd}が安定レベルに達したことを示す信号である。

【0007】図17に示す昇圧回路201は、信号PONRST'が“L”レベルとなると活性化し、外部電源V_{dd}を所定レベル(～6.5V)の昇圧電圧V_{DDP}に昇圧する。昇圧電圧V_{DDP}は、電圧変換回路202に供給される。昇圧電圧V_{DDP}は、電圧変換回路202において読み出し電圧V_{DDR}に変換される。

【0008】電圧変換回路202は、昇圧電圧V_{DDP}を所定レベル(～4.8V)の読み出し電圧V_{DDR}にレギュレートする図示せぬV_{DDR}レギュレータ、および読み出し電圧V_{DDR}が所定レベルであるか否かを検知する図示せぬV_{DDR}ディテクタを含んでいる。

【0009】図示せぬV_{DDR}レギュレータは、参照電圧V_{ref}を使用して、昇圧電圧V_{DDP}を所定レベルの読み出し電圧V_{DDR}にレギュレートする。図示せぬV_{DDR}ディテクタは、参照電圧V_{ref}を使用して、読み

出し電圧VDDRが所定レベルに達したか否かを検知する信号SVDDRを出力する。信号SVDDRは、読み出し電圧VDDRが所定レベルに達すると“H”レベルとなる。この信号SVDDRは、ヒューズセル制御回路203に供給される。

【0010】ヒューズセル制御回路203は、信号PONRST'が“L”レベルとなると活性化し、信号SVDDRが“H”レベルとなると、ヒューズセルからのデータ読み出し／ラッチシーケンスを実行する。

【0011】ヒューズセル回路204は、ヒューズセルFC、ヒューズセルFCからデータを読み出すときの負荷となるPMOS P202、ヒューズセルFCとPMOSP202との間に接続され、しきい値電圧がほぼ0VとされたNMOS NI201、装置が通常動作をしている間、ヒューズセルFCから読み出されたデータをラッチするラッチ回路LAT、および読み出し／ラッチシーケンスが実行されている間、ラッチ回路LATと、PMOS P202とNMOS NI201とのノード241とを接続する接続回路TGを有している。

【0012】ヒューズセル制御回路203は、信号PONRST'が“L”レベルのとき、信号SVDDRが“H”レベルとなると、信号FSREADを所定期間“H”レベルとする。信号FSREADは、PMOS P202、および接続回路TGに供給される。信号FSREADが“H”レベルの間、PMOS P202、および接続回路TGはともに導通状態となる。

【0013】次いで、信号FSBIASおよび信号FSWLがそれぞれ、所定期間“H”レベルとなる。これによりノード241の電位は、ヒューズセルFCが“ON”か“OFF”かで変化する。ノード241の電位は、接続回路TGの入力に供給される。接続回路TGは、ノード241の電位に応じ、“H”レベルまたは“L”レベルいずれかの出力をラッチ回路LATに供給する。

【0014】このようにしてヒューズセルFCに記憶されていたデータは、装置が通常動作を開始する前に読み出され、ラッチ回路LATにラッチされる。ラッチ回路LATは、装置が通常動作をしている間、そのラッチしているデータFUSEを出力する。

【0015】このようなヒューズセル制御回路203において、信号FSWLを外部電源Vddよりも高い読み出し電圧VDDRとする理由は、次の通りである。半導体集積回路装置は低消費電力化の傾向にあり、現在では、外部電源Vddのレベルは3V以下まで進展してきている。外部電源Vddが3V以下になると、プロセス条件にもよるが、ヒューズセルFCの中性しきい値電圧（紫外線を照射し、浮遊ゲートから電子を放出させた状態、以下初期しきい値電圧という）のほうが、外部電源Vddよりも高くなることがある。

【0016】このような場合において、ヒューズセルFCが記憶するデータのの一つを初期しきい値電圧としてい

ると、ヒューズセルFCは“OFF”してしまい、正しいデータを読み出せなくなる。

【0017】これを防ぐために、ヒューズセルFCのゲートに対し、外部電源Vddよりも高い読み出し電圧VDDRを与えるのである。このようにすることで、ヒューズセルFCのしきい値電圧が初期しきい値電圧にあっても、ヒューズセルFCを正しく“ON”させることができる。

【0018】このような読み出し電圧VDDRは、電圧変換回路202において、昇圧電圧VDDPを読み出し電圧VDDRに変換することで得られる。昇圧電圧VDDPを読み出し電圧VDDRに変換するためには、基準となる参照電圧Vrefが必要である。図17中、参照符号205に示す回路が、参照電圧Vrefを発生させる参照電圧発生回路である。

【0019】従来、この参照電圧発生回路205には、電源電圧依存性および温度依存性が少ないバンドギャップレファレンス回路が用いられており、バンドギャップレファレンス回路を用いて参照電圧Vrefを発生させている。これにより、参照電圧Vrefは、電源電圧の変動や温度の変動に係わらずに、ほぼ一定のレベル（～1.25V）で発生させることができる。

【0020】

【発明が解決しようとする課題】このようにバンドギャップレファレンス回路は、電源電圧依存性および温度依存性が少ない、という優れた面を有している。しかしながら、バンドギャップレファレンス回路を用いて発生させた参照電圧Vrefを使用して、昇圧電圧VDDPを読み出し電圧VDDRに変換すると、変換された読み出し電圧VDDRは、電源電圧の変動や温度の変動に係わらずに、ほぼ一定のレベルとなってしまふ。

【0021】これに対し、ヒューズセルFCのしきい値電圧は、電源電圧依存性および温度依存性を持つ。このため、外部電源Vddが大きく変動したり、装置が高温または低温環境下にある場合には、読み出し電圧VDDRと、記憶データに対応したヒューズセルFCのしきい値電圧との差、即ちマージンが小さくなってしまふ事情がある。

【0022】この発明は、上記の事情に鑑みて為されたもので、その主要な目的は、電源の電圧変動や温度変動に係わらずに、読み出し電圧と、記憶データに対応したヒューズセルのしきい値電圧との差を大きく保てる半導体集積回路装置を提供することにある。

【0023】

【課題を解決するための手段】上記主要な目的を達成するために、この発明に係る半導体集積回路装置では、読み出し電圧の変換に使用する参照電圧を、ヒューズセルと同一構造の素子のしきい値電圧を利用して発生させることを特徴としている。

【0024】上記構成を有する半導体集積回路装置であ

ると、参照電圧を、ヒューズセルと同一構造の素子のしきい値電圧を利用して発生させる。このため、参照電圧は、ヒューズセルのしきい値電圧と同じように、電源電圧の変動や温度の変動によって変動するようになる。このように変動する参照電圧を使用して、集積回路の動作に使用する動作電圧を読み出し電圧に変換すると、読み出し電圧は、ヒューズセルのしきい値電圧の変動に併せて変動するようになる。

【0025】このように読み出し電圧が、ヒューズセルのしきい値電圧の変動に併せて変動することで、読み出し電圧と記憶データに対応するヒューズセルのしきい値電圧との差は、電源電圧の変動や温度変動に係わらずに大きく保つことができる。

【0026】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

〔第1の実施形態〕図1は、この発明の第1の実施形態に係るヒューズセルからのデータ読み出し／ラッチを実行する回路系の構成を示す回路図である。図2は、その主要な信号または電圧波形を示す波形図である。以下、その構成を、その動作とともに説明する。

【0027】図2に示す信号PONRSTは、パワーオンリセット信号である。信号PONRSTは、外部電源V_{dd}の電位が0Vから上昇し、電源投入検知レベルV_{PONRST}(~2V)に達すると“L”レベルとなる。これにより電源が投入されたことが検知される。

【0028】信号PONRST'は、パワーオンリセット信号の一つである。信号PONRSTと異なるところは、信号PONRSTが、外部電源V_{dd}が検知レベルV_{PONRST}に達した時に“L”レベルになるのに対し、信号PONRST'は、外部電源V_{dd}が安定レベル(~3V)に達した後に“L”レベルになることである。即ち、信号PONRST'は、外部電源V_{dd}が安定レベルに達したことを示す信号である。

【0029】図1に示す昇圧回路1は、信号PONRST'が“L”レベルとなると活性化し、外部電源V_{dd}を所定レベル(~6.5V)昇圧電圧V_{DDP}に昇圧する。昇圧電圧V_{DDP}は、電圧変換回路2に供給される。昇圧電圧V_{DDP}は、電圧変換回路2において読み出し電圧V_{DDR}に変換される。

【0030】電圧変換回路2は、昇圧電圧V_{DDP}が所定レベルであるか否かを検知するV_{DDP}ディテクタ21、昇圧電圧V_{DDP}を所定レベル(~4.8V)の読み出し電圧V_{DDR}にレギュレートするV_{DDR}レギュレータ22、および読み出し電圧V_{DDR}が所定レベルであるか否かを検知するV_{DDR}ディテクタ23を含んでいる。

【0031】V_{DDP}ディテクタ21は、差動増幅器(オペアンプ)OP.1を有する。この差動増幅器OP.1は、その正入力端子(+)に、抵抗R1、R2によって

昇圧電圧V_{DDP}を抵抗分割した電圧を受け、その負入力端子(-)に、参照電圧V_{ref}を受ける。これにより、差動増幅器OP.1は、昇圧電圧V_{DDP}が所定レベルに達したか否かを検知するアナログ信号を出力する。このアナログ信号は、インバータINV.1に入力され、昇圧電圧V_{DDP}が所定レベルに達したか否かを検知するデジタル信号CPENに変換される。信号CPENは、昇圧回路1に供給される。

【0032】図3は、昇圧回路1の一回路例を示す回路図である。図3に示すように、昇圧回路1は、発振信号φを発振するリングオシレータ11、および発振信号φにしたがって、外部電源V_{dd}を昇圧電圧V_{DDP}に昇圧するチャージポンプ回路12を含んでいる。リングオシレータ11は、信号PONRST'が“L”レベルとなると活性化し、信号CPENが“L”レベルの間、発振信号φを出力する。発振信号φが発振されている間、チャージポンプ回路12は外部電源V_{dd}を昇圧する。信号CPENは、昇圧電圧V_{DDP}が所定レベルより低い間、“L”レベルとなってリングオシレータ11を動作させ、昇圧電圧V_{DDP}が所定レベルに達すると、“H”レベルとなってリングオシレータ11の動作を停止させる。これにより、昇圧電圧V_{DDP}は、所定レベルに保たれる。

【0033】V_{DDR}レギュレータ22は、差動増幅器(オペアンプ)OP.2を有する。この差動増幅器OP.2は、その正入力端子(+)に、抵抗R3、R4によって読み出し電圧V_{DDR}を抵抗分割した電圧を受け、その負入力端子(-)に、参照電圧V_{ref}を受ける。これにより、差動増幅器OP.2は、昇圧電圧V_{DDP}を所定レベルの読み出し電圧V_{DDR}にレギュレートするアナログ信号VRを出力する。アナログ信号VRは、PMOS P1のゲートに供給され、PMOS P1の電流駆動能力をアナログ制御する。これにより、昇圧電圧V_{DDP}は、所定レベルの読み出し電圧V_{DDR}にレギュレートされる。

【0034】V_{DDR}ディテクタ23は、差動増幅器(オペアンプ)OP.3を有する。この差動増幅器OP.3は、その正入力端子(+)に、抵抗R5、R6によって読み出し電圧V_{DDR}を抵抗分割した電圧を受け、その負入力端子(-)に、参照電圧V_{ref}を受ける。これにより、差動増幅器OP.3は、読み出し電圧V_{DDR}が所定レベルに達したか否かを検知するアナログ信号を出力する。このアナログ信号は、インバータINV.2に入力され、読み出し電圧V_{DDR}が所定レベルに達したか否かを検知するデジタル信号SV_{DDR}に変換される。信号SV_{DDR}は、読み出し電圧V_{DDR}が所定レベルに達すると、“H”レベルとなる。信号SV_{DDR}は、ヒューズセル制御回路3に供給される。

【0035】ヒューズセル制御回路3は、信号PONRST'が“L”レベルとなると活性化し、信号SV_{DDR}が“H”レベルとなると、ヒューズセルからのデータ読み出し／

ラッチシーケンスを実行する。

【0036】ヒューズセル回路4は、ヒューズセルFC、ヒューズセルFCからデータを読み出すときの負荷となるPMOS P2、ヒューズセルFCとPMOS P2との間に接続され、しきい値電圧がほぼ0VとされたNMOS NI1、装置が通常動作をしている間、ヒューズセルFCから読み出されたデータをラッチするラッチ回路LAT、および読み出し／ラッチシーケンスが実行されている間、ラッチ回路LATと、PMOS P2とNMOS NI1とのノード41とを接続する接続回路TGを有している。

【0037】図4および図5は、ヒューズセル制御回路3の一回路例を示す回路図である。図4に示すように、ヒューズセル制御回路3は、フリップフロップ31を有する。フリップフロップ31は、信号PONRST'によりリセットされ、信号SVDDRによりセットされる。フリップフロップ31は、信号SVDDLATを出力する。信号SVDDLATは、フリップフロップ31が信号PONRST'によってリセットされた後、信号SVDDRが一旦“H”レベルになると、“H”レベルを維持する。信号SVDDLATは、パルス信号発生回路32に入力される。

【0038】パルス信号発生回路32は、信号SVDDLATが“H”レベルになると、パルス幅 τ_1 を持つパルス信号TRIGGERを出力する。パルス信号TRIGGERが“H”レベルになると、図4に示すインバータINV.3は“H”レベルの信号FREADを出力する。信号FREADが“H”レベルになると、図5に示すインバータINV.4は“L”レベルの信号を出力する。インバータINV.4が“L”レベルの信号を出力することによって、インバータINV.5は“H”レベルの信号FSREADを出力する。さらにインバータINV.6が“H”レベルの信号FSBIAS、およびレベルシフトLS.1が“H”レベルの信号FSWLをそれぞれ出力する。

【0039】このとき、信号FREADのレベルは外部電源Vdd、信号FSWLのレベルは読み出し電圧VDDRである。また、信号FSBIASのレベルは、NMOS NE2のしきい値電圧程度となる。図5中、NMOS NI3は、しきい値電圧がほぼ0VとされたNMOSである。、信号FSREADは、ヒューズセル回路4のPMOS P2、および接続回路TGに供給される。信号FSREADが“H”レベルの間、PMOS P2、および接続回路TGはともに導通状態となる。信号FSBIASはNMOS NI1のゲートに供給され、信号FSWLはヒューズセルFCのゲートに供給される。これにより、ノード41の電位は、ヒューズセルFCが“ON”か“OFF”かで変化する。ノード41の電位は、接続回路TGの入力に供給される。接続回路TGは、ノード41の電位に応じ、“H”レベルまたは“L”レベルいずれかの出力を出力する。ラッチ回路LATは、この出力をラッチする。

【0040】このようにしてヒューズセルFCに記憶されていたデータは、装置が通常動作を開始する前に読み出され、ラッチ回路LATにラッチされる。ラッチ回路LATは、装置が通常動作をしている間、そのラッチしているデータFUSEを出力する。

【0041】この後、パルス信号TRIGGERが“H”レベルから“L”レベルとなり、図4に示す遅延回路33が持つ遅延時間 τ_2 が経過すると、信号FREADが“L”レベルとなる。信号FREADが“L”レベルになると、信号FSREADが“L”レベルとなり、信号FSBIASおよび信号FSWLがそれぞれ遅延時間 τ_3 経過後に“L”レベルとなる。さらに遅延時間 τ_4 が経過すると、パルス信号発生回路34は、パルス幅 τ_5 を持つパルス信号FENDを出力する。信号FENDが出力されることにより、読み出し／ラッチシーケンスは終了する。

【0042】このような回路系において、第1の実施形態では、参照電圧Vrefを、バンドギャップレファレンス回路ではなく、ヒューズセルFCと同一構造の素子を用いて発生させる。

【0043】以下、この参照電圧Vrefを発生する参照電圧発生回路5の一回路例を説明する。図1に示すように、参照電圧発生回路5は、参照電圧Vrefを出力する参照電圧出力段51、出力段51に入力電流を入力する入力段52、およびバイアス電圧VBIASを出力するVBIAS発生回路53とを含んでいる。

【0044】出力段51は、ソースに外部電源Vddを受けるPMOS P3、このPMOS P3のドレインにドレインを接続した、しきい値電圧がほぼ0VとされたNMOS NI4、およびこのNMOS NI4のソースにドレインを接続し、ソースに回路内接地電位Vssを受ける基準セルREFCを有している。基準セルREFCは、ヒューズセルFCと同じ形状および特性を有する不揮発性型のメモリセルである。即ち、ヒューズセルFCと同一構造の素子である。

【0045】参照電圧Vrefは、PMOS P3のドレインとNMOS NI4のドレインとのノード54から得られる。このノード54は、電圧変換回路2に接続されるとともに、基準セルREFCのゲートに接続される。NMOS NI4のゲートは、VBIAS発生回路53に接続されている。

【0046】VBIAS発生回路53は、ソースに外部電源Vddを受け、ゲートに回路内接地電位Vssを受けるPMOS P4、このPMOS P4のドレインにドレインとゲートとを接続し、しきい値電圧がほぼ0VとされたNMOS NI5、このNMOS NI5のソースにドレインとゲートとを接続し、ソースに回路内接地電位Vssを受けるNMOS NE6を有している。このVBIAS発生回路53は、外部電源Vddが1V程度でも動作可能である。

【0047】バイアス電圧VBIASは、PMOS P4の

ドレインとNMOS NI5のドレインとのノード55から得られる。このノード55は、NMOS NI4のゲートに接続されている。

【0048】バイアス電圧VBIASのレベルは、NMOS NI5の五極管しきい値電圧とNMOS NE6の五極管しきい値電圧との和である。NMOS NI5のしきい値電圧を“VTHI”とし、NMOS NE6のしきい値電圧を“VTHE”とすると、バイアス電圧VBIASは、

$$VBIAS = VTHI + VTHE$$

となる。NMOS NI5のしきい値電圧VTHI はほぼ0Vであるので、バイアス電圧VBIASは、

$$VBIAS \approx VTHE$$

となり、NMOS NE6のしきい値電圧VTHE にほぼ等しくなる。NMOS NE6のしきい値電圧VTHE をほぼ1Vとすると、バイアス電圧VBIASはほぼ1Vとなる。よって、NMOS NI4のゲートの電圧VGNI4は1V程度となる。

【0049】NMOS NI4の役目は、基準セルREFCのドレインの電圧が大きくなったときに、基準セルREFCに生ずる“ソフトライト現象”を抑制することである。基準セルREFCは、不揮発性メモリセルであり、そのゲート絶縁膜中には電荷を蓄積するための電荷蓄積部（浮遊ゲート）が設けられている。このため、基準セルREFCにおいても、ヒューズセルFCと同様に、“ソフトライト現象”によるしきい値電圧の変動を抑制することが望まれる。この発明においては、基準セルREFCのしきい値電圧が変動すると、参照電圧Vref の値が変わってしまうからである。

【0050】ソフトライトを抑制するためには、基準セルREFCのドレインの電圧VDを1V以下とするのが良い。このために、NMOS NI4を設け、かつNMOS NI4のゲートの電圧VGNI4を1V程度とする。NMOS NI4のソースと基準セルREFCのドレインとは互いに接続されているために、基準セルREFCのドレインの電圧VDは、NMOS NI4のソースの電圧となる。ここで、NMOS NI4のしきい値電圧を、NMOS NI5と同じ“VTHI”とすると、基準セルREFCのドレインの電圧VDは、

$$VD = VGNI4 - VTHI$$

となる。ゲートの電圧VGNI4はバイアス電圧VBIASであるので、基準セルREFCのドレインの電圧VDは、

$$VD = (VTHI + VTHE) - VTHI$$

$$\approx VTHE$$

となり、NMOS NE6のしきい値電圧VTHE にほぼ等しくなる。これにより、基準セルREFCのドレインの電圧VDを1V以下にでき、基準セルREFCに生ずる“ソフトライト現象”が抑制される。

【0051】NMOS NI1、NI5にはそれぞれ、しきい値電圧がほぼ0Vとされた、いわゆるイントリン

シック型のNMOSを用いているが、これはエンハンスメント型のNMOSに変更されても良い。しかし、イントリンシック型のNMOSを用いることで、基準セルREFCのドレインの電圧VDのばらつきが抑制される、という利点があるので、NMOS NI1、NI5にはそれぞれ、イントリンシック型のNMOSを用いることが好ましい。

【0052】また、参照電圧出力段51の、参照電圧Vref を発生させるときの負荷となる部分には、PMOS P3が用いられている。このため、参照電圧Vref を発生させるためには、このPMOS P3を“ON”させなければならない。PMOS P3を“ON”させる回路が入力段52である。

【0053】入力段52は、ソースに外部電源Vddを受けるPMOS P5、およびPMOS P5のドレインと回路内接地電位Vssとの間に接続された定電流源56を有している。定電流源56は、1μAの定電流を流す。また、基準セルREFCのしきい値電圧VTHREFCは、そのドレイン電流が規定値に達したときのゲートの電圧、と定義される。参照電圧発生回路5の入力段52と出力段51とはカレントミラー回路の構成である。したがって、この第1の実施形態では、基準セルREFCのしきい値電圧VTHREFCは、ドレイン電流が1μAに達したときのゲートの電圧と定義される。

【0054】PMOS P3を“ON”させるための電圧VGP3は、PMOS P5のドレインと定電流源56のドレインとのノード57から得られる。このような参照電圧発生回路5であると、定電流源56が1μAの定電流を流したとき、PMOS P3が“ON”し、外部電源Vddがノード54を介して、基準セルREFCのゲートに供給される。このとき、外部電源Vddが、基準セルREFCのしきい値電圧VTHREFC以上であると、基準セルREFCが“ON”する。このとき、基準セルREFCがNMOSで構成されている、とすると、ノード54の電圧、即ち参照電圧Vref は、

$$Vref = VTHI + VTHREFC$$

となる。NMOS52のしきい値電圧VTHI はほぼ0Vであるので、参照電圧Vref は、

$$Vref \approx VTHREFC$$

となる。

【0055】このように第1の実施形態に係る半導体集積回路装置が具備する参照電圧発生回路5は、参照電圧Vref を、基準セルREFCのしきい値電圧VTHREFCを利用して発生する。

【0056】上記参照電圧発生回路5においては、参照電圧Vref は、実質的に基準セルREFCのしきい値電圧VTHREFCとなる。基準セルREFCは、ヒューズセルFCと同一構造の素子である。このため、参照電圧Vref は、電源電圧の変動や温度の変動に応じてヒューズセルのしきい値電圧VTHFCと同じように変動する。このよ

うに変動する参照電圧 V_{ref} を使用して、昇圧電圧 V_{DDP} を読み出し電圧 V_{DDR} に変換することで、読み出し電圧 V_{DDR} を、ヒューズセル FC のしきい値電圧 V_{THFC} の変動に併せて変動させることができる。

【0057】図6はヒューズセル FC のしきい値電圧および読み出し電圧 V_{DDR} の温度依存性を示す図である。同図(A)は参照電圧 V_{ref} を、バンドギャップレファレンス回路を利用して発生させた場合、同図(B)は参照電圧 V_{ref} を、基準セル $REFC$ のしきい値電圧を利用して発生させた場合を示している。

【0058】同図(A)に示すように、参照電圧 V_{ref} を、バンドギャップレファレンス回路を利用して発生させた場合には、低温側で、ヒューズセル FC が“ON”するときのしきい値電圧(初期しきい値電圧)と読み出し電圧 V_{DDR} との差($\Delta V1$)、反対に高温側で、ヒューズセル FC が“OFF”するときのしきい値電圧(書き込みしきい値電圧)と読み出し電圧 V_{DDR} との差($\Delta V2$)がそれぞれ小さくなってしまふ。

【0059】これに対し、同図(B)に示すように、参照電圧 V_{ref} を、基準セル $REFC$ のしきい値電圧を利用して発生させた場合には、読み出し電圧 V_{DDR} が、ヒューズセル FC のしきい値電圧の変動に併せて変動する。このため、ヒューズセル FC が“ON”するときのしきい値電圧(初期しきい値電圧)と読み出し電圧 V_{DDR} との差($\Delta V1$)、ヒューズセル FC が“OFF”するときのしきい値電圧(書き込みしきい値電圧)と読み出し電圧 V_{DDR} との差($\Delta V2$)は、温度に係わらず、ほぼ一定に保つことができる。

【0060】なお、電源電圧依存性については特に図示しないが、図6と同様の傾向を示すことはもちろんである。また、参照電圧発生回路5から、バンドギャップレファレンス回路を排除したことによって、下記のような利点も得ることができる。

【0061】図17に示した参照電圧発生回路205では、差動増幅器(オペアンプ)OP.200を用いて、参照電圧 V_{ref} のレベルを帰還制御する。このために“発振現象”への対策が必要である。

【0062】これに対し、図1に示した参照電圧発生回路5では、帰還制御を行わないので、“発振現象”への対策が不要である。特に“発振現象”への対策には、集積回路中に発振防止用のコンデンサを必要とし、面積の増加を招きやすいが、このようなコンデンサが不要なため、参照電圧発生回路5は、参照電圧発生回路205に比べてより小さい面積で形成できる。

【0063】また、差動増幅器OP.200は、回路設計が難しいアナログ系回路、即ちオペアンプである。これに対し、参照電圧発生回路5はデジタル系回路である。デジタル系回路は、アナログ系回路に比べて回路設計が簡単である。膨大な回路が集積される集積回路中から、アナログ系回路を一つでも省けることは、設計者に対す

る負担の軽減、および開発速度の向上に寄与する。

【0064】さらに、参照電圧発生回路205は、電源投入後、装置が通常動作を開始する前から動作される。このため、その最小動作電圧 V_{ddmin} には、次のような条件が設定される。

$$\begin{aligned} & \text{【0065】} V_{ddmin} < V_{PONRST} \\ & V_{ddmin} < V_{BGRMIN} \end{aligned}$$

電圧 V_{PONRST} は電源投入検知レベル、電圧 V_{BGRMIN} は、バンドギャップレファレンス回路の出力が安定する、最小の外部電源 V_{dd} のレベルである。

【0066】この最小動作電圧 V_{ddmin} の条件は、あらゆる温度やプロセスバラツキを含めて満足する必要がある。最小動作電圧 V_{ddmin} が、上記の条件のように制限されると、参照電圧発生回路205の後段に接続される電圧変換回路202や、ヒューズセル制御回路203、ヒューズセル回路204の回路設計マージンが小さくなってしまふ。回路設計が制約されたり、マージンが小さくなってしまふと、歩留りが悪化するなどの影響がでる。

【0067】さらに電圧 V_{BGRMIN} と電圧 V_{PONRST} の間には、次のような関係がある。

$$V_{BGRMIN} < V_{PONRST}$$

電圧 V_{BGRMIN} が電圧 V_{PONRST} 以上になってしまうと、バンドギャップレファレンス回路は、一定レベルの参照電圧 V_{ref} を保証できなくなる。

【0068】これに対し、参照電圧発生回路5は、バンドギャップレファレンス回路を含まないので、最小動作電圧 V_{ddmin} の条件に、電圧 V_{BGRMIN} による制約がなくなる。このため、参照電圧発生回路5の後段に接続される電圧変換回路2や、ヒューズセル制御回路3、ヒューズセル回路4の回路設計マージンが大きくなる。

【0069】よって、参照電圧発生回路5は、参照電圧発生回路205に比べて、後段の回路の設計に自由度が得られる。また、マージンが大きくなる、および電圧 V_{BGRMIN} を電圧 V_{PONRST} よりも小さくしなければならない、という制約がなくなるので、歩留りの向上が期待できる。

【0070】上記第1の実施形態では、これらのような利点についても得ることができる。なお、上記参照電圧発生回路5においては、出力段51の負荷にPMOS P3を用いたが、この負荷は、数メガオームの高抵抗に変えることもできる。この場合には、入力段52は不要である。

【0071】また、出力段51の負荷を高い抵抗とすれば、電源投入によって上がり出した外部電源 V_{dd} の電位が、基準セル $REFC$ のしきい値電圧 V_{THREFC} を超えれば、基準電圧 V_{ref} が発生されるようになる。このため、昇圧回路1を信号 $PONRST'$ によってリセットしなくても、昇圧回路1を動作させることも可能になる。

【0072】〔第2の実施形態〕上記第1の実施形態に

示した参照電圧発生回路5は、ほぼ基準セルREFCのしきい値電圧VTHREFCのレベルを持つ参照電圧Vrefを発生した。しかし、参照電圧Vrefは、ほぼ基準セルREFCのしきい値電圧VTHREFC以外のレベルとすることもできる。

【0073】この第2の実施形態は、参照電圧Vrefのレベルを変換する例に関する。図7は、この発明の第2の実施形態に係る半導体集積回路装置の回路図である。なお、図7において、図1と同一の部分については同一の参照符号を付す。

【0074】図7に示すように、第2の実施形態では、参照電圧発生回路5の後段に、電流変換回路6が接続されている。電流変換回路6は、参照電圧Vrefを電流変換し、参照電圧Vref'に変換する。参照電圧Vref'は、電圧変換回路2に供給される。電流変換回路6は、参照電圧Vrefが入力される入力段61、参照電圧Vref'を出力する出力段62を有するカレントミラー回路である。

【0075】電流変換回路6は、参照電圧Vrefを、以下説明するようなレベルの参照電圧Vref'に変換する。抵抗R11に流れる入力段電流I11は、

$$I_{11} = V_{ref} / R_{11}$$

抵抗R12に流れる出力段電流I12は、

$$I_{12} = V_{ref}' / R_{12}$$

カレントミラー回路においては、入力段電流I11と出力段電流I12とが互いに等しいので、

$$V_{ref} / R_{11} = V_{ref}' / R_{12}$$

となる。

【0076】ゆえに参照電圧Vref'は、 $V_{ref}' = (R_{12} / R_{11}) \cdot V_{ref}$ となる。

【0077】参照電圧Vrefは、ほぼ基準セルREFCのしきい値電圧VTHREFCであるので、参照電圧Vref'は、

$$V_{ref}' \approx (R_{12} / R_{11}) \cdot V_{THREFC}$$

となる。

【0078】このように第2の実施形態によれば、ほぼ基準セルREFCのしきい値電圧VTHREFCのレベルを持つ参照電圧Vrefを、抵抗R11と抵抗R12との抵抗比倍したレベルを持つ参照電圧Vref'に変換することができる。参照電圧Vref'は、参照電圧Vrefを電流変換して得たものである。このため、参照電圧Vref'は、ヒューズセルのしきい値電圧VTHFCと同様に、電源電圧の変動や温度の変動に応じて変動する。よって、第1の実施形態と同様の効果を得ることができる。

【0079】〔第3の実施形態〕上述の実施形態は、参照電圧発生回路5は、ほぼ基準セルREFCのしきい値電圧VTHREFCのレベルを持つ参照電圧Vrefを発生する。しきい値電圧VTHREFCは、初期しきい値電圧を想定している。即ち、しきい値電圧VTHREFCは、基準セルR

EFCに紫外線を照射し、その浮遊ゲートから電子を放出させた状態でのしきい値電圧である。したがって、参照電圧Vrefは、ほぼ基準セルREFCの初期しきい値電圧VTHREFCint.となる。

【0080】このような参照電圧Vrefを、初期しきい値電圧VTHREFCint.以外のレベルに変更するには、上記第2の実施形態により説明したように、参照電圧Vrefを電流変換回路6により電流変換すれば良い。

【0081】しかし、参照電圧Vrefを、初期しきい値電圧VTHREFCint.以外のレベルに変更するには、基準セルREFCの浮遊ゲートに電子を注入、即ち基準セルREFCにデータを書き込むようにしても良い。

【0082】このような第3の実施形態によれば、電流変換回路6がなくても、参照電圧Vrefを、初期しきい値電圧VTHREFCint.以外のレベルに変更することができる。しかも、浮遊ゲートに注入される電子の量を制御することにより、そのしきい値電圧VTHREFCを、アナログ的に変化させることができる。よって、参照電圧Vrefのレベルの設定に、より広い自由度を得ることができる。

【0083】このように基準セルREFCにデータを書き込み、参照電圧Vrefのレベルを設定する構成は、特に図示しないが、参照電圧発生回路5にデータ書き込み回路を接続すれば良い。

【0084】また、参照電圧発生回路5にデータ消去回路を接続することも可能である。この場合には、基準セルREFCからデータを消去できるので、参照電圧Vrefの設定をやり直すことができる。

【0085】参照電圧Vrefの設定をやり直せる構成によれば、参照電圧Vrefの最適なレベルをチップ状態で試験してモニタできる、という利点を得ることができる。なお、この第3の実施形態は、第2の実施形態と併用されても良い。

【0086】〔第4の実施形態〕上記第1の実施形態では、信号F SBIASを、ヒューズセル制御回路3により発生させた。信号F SBIASをゲートに受けるNMOS NI1の役目は、ヒューズセルFCに生ずる“ソフトライト現象”を抑制することである。即ちNMOS NI1は、NMOS NI4と同様の役目を持つ。したがって、NMOS NI1のゲートには、信号F SBIASに代え、バイアス電圧VBIASを供給するようにしても良い。

【0087】図8は、この発明の第4の実施形態に係る半導体集積回路装置の回路図である。なお、図8において、図1と同一の部分については同一の参照を付す。図8に示すように、第4の実施形態では、VBIAS発生回路53が発生する電圧VBIASを、NMOS NI4のゲートに供給すると同時に、NMOS NI1のゲートにも供給する。

【0088】このような第4の実施形態によれば、NMOS NI4、NI1のゲートにそれぞれ、バイアス電

圧VBIASを供給するので、NMOS NI4、NI1それぞれのゲートの電圧を互いに等しくできる。これにより、基準セルREFCのドレインの電圧と、ヒューズセルFCのドレインの電圧とを、高い精度で等しくすることができる。このため、基準セルREFCに印加される電圧の条件を、ヒューズセルFCに印加される電圧の条件に極めて近くすることができる。よって、電源電圧の変動や温度の変動に応じた参照電圧Vref のレベルの変動を、ヒューズセルのしきい値電圧VTHFCの変動に、より近いものにできる。

【0089】また、第4の実施形態によれば、ヒューズセル制御回路3から、信号FSBIASを発生させるための回路系を削減でき、回路の規模を縮小できる利点も同時に得ることができる。

【0090】〔第5の実施形態〕第1の実施形態においても述べたが、膨大な回路が集積される集積回路中から、アナログ系回路を一つでも省くことは、設計者に対する負担の軽減、および開発速度の向上に寄与する。

【0091】上記第1の実施形態により説明した電圧変換回路2は、VDDRレギュレータ22を有する。VDDRレギュレータ22は、差動増幅器OP₂を用いて、昇圧電圧VDDPを読み出し電圧VDDRにレギュレートする。差動増幅器OP₂は、アナログ系回路である。

【0092】この第5の実施形態は、差動増幅器OP₂を用いないVDDRレギュレータ12を提供するものである。図9は、この発明の第5の実施形態に係るレギュレータの一回路例を示す回路図である。

【0093】図9に示すように、第5の実施形態に係るレギュレータ22'は、電流変換回路71、およびドレインに昇圧電圧VDDPが供給され、ソースから読み出し電圧VDDRを出力する、しきい電圧がほぼ0VとされたNMOS NI7を有している。NMOS NI7は、ソースフォロワ型の降圧回路を構成する。

【0094】NMOS NI7のしきい値電圧を“VTHI”とすると、NMOS NI7のソースの電圧、即ち読み出し電圧VDDRは、

$$VDDR = VR - VTHI$$

となる。NMOS NI7のしきい値電圧VTHI はほぼ0Vであるので、読み出し電圧VDDRは、

$$VDDR \approx VR$$

となる。

【0095】このように、NMOS NI7は、昇圧電圧VDDPをほぼ、そのゲートの電圧、即ちレギュレート電圧VRにレギュレートする。電流変換回路71は、参照電圧Vref を電流変換し、レギュレート電圧VRに変換する。レギュレート電圧VRは、NMOS NI7のゲートに供給される。電流変換回路71は、参照電圧Vref が入力される入力段72、レギュレート電圧VRを出力する出力段73を有するカレントミラー回路であ

る。

【0096】電流変換回路71は、参照電圧Vref を、以下説明するようなレベルのレギュレート電圧VRに変換する。抵抗R21に流れる入力段電流I21は、

$$I21 = Vref / R21$$

抵抗R22に流れる出力段電流I22は、

$$I22 = VR / R22$$

カレントミラー回路においては、入力段電流I21と出力段電流I22とが互いに等しいので、

$$Vref / R21 = VR / R22$$

となる。

【0097】ゆえにレギュレート電圧VRは、

$$VR = (R22 / R21) \cdot Vref$$

となる。

【0098】参照電圧Vref は、ほぼ基準セルREFCのしきい値電圧VTHREFCである、とすると、レギュレート電圧VRは、

$$VR \approx (R22 / R21) \cdot VTHREFC$$

となる。

【0099】このように第5の実施形態によれば、参照電圧Vref を、抵抗R21と抵抗R22との抵抗比倍したレベルを持つレギュレート電圧VRに変換する。レギュレート電圧VRは、参照電圧Vref を電流変換して得たものである。このため、レギュレート電圧VRは、ヒューズセルのしきい値電圧VTHFCと同様に、電源電圧の変動や温度の変動に応じて変動する。

【0100】このように変動するレギュレート電圧VRを、ソースフォロワ型の降圧回路、即ちNMOS NI7のゲートに供給し、このNMOS NI7によって昇圧電圧VDDPを読み出し電圧VDDRにレギュレートする。ソースフォロワ型の降圧回路においては、そのソースの電圧が、ゲートの電圧に応じて変動するので、読み出し電圧VDDRは、レギュレート電圧VRの変動に応じて変動するようになる。

【0101】よって、読み出し電圧VDDRを、電源電圧の変動や温度の変動に応じたヒューズセルのしきい値電圧VTHFCの変動に併せて、変動させることができる。

しかも、第5の実施形態では、このようなレギュレータ22'を、アナログ系回路、即ち差動増幅器や、帰還制御を用いないで構成できる。

【0102】よって、レギュレータ22'は、レギュレータ22よりも、より小面積で形成できる。また、膨大な回路が集積される集積回路中から、アナログ系回路を一つ削減でき、設計者に対する負担の軽減、および開発速度を向上できる。

【0103】図10は、この発明の第5の実施形態に係るレギュレータの他の回路例を示す回路図である。図10において、図9と同一の部分については同一の参照符号を付す。

【0104】他の回路例は、参照電圧Vref を、電流変

換回路71の抵抗R21と抵抗R22との抵抗比倍だけでは、所望のレギュレート電圧VRに変換することが困難となった場合に使用できるものである。

【0105】図10に示すように、他の回路例は、電流変換回路71に、入力段74をさらに加えたものである。入力段74には、バイアス電圧VBIASが入力される。他の回路例では、参照電圧Vrefを、以下説明するようなレベルのレギュレート電圧VRに変換する。

【0106】抵抗R21に流れる第1の入力段電流I21は、

$$I_{21} = V_{ref} / R_{21}$$

抵抗R23に流れる第2の入力段電流I23は、

$$I_{23} = V_{BIAS} / R_{23}$$

抵抗R22に流れる出力段電流I22は、

$$I_{22} = V_R / R_{22}$$

複数のカレントミラー入力段を有するカレントミラー回路においては、入力段電流の和と出力段電流とが互いに等しくなるので、

$$V_{ref} / R_{21} + V_{BIAS} / R_{23} = V_R / R_{22}$$

となる。

【0107】ゆえにレギュレート電圧VRは、

$$V_R = (R_{22} / R_{21}) \cdot V_{ref} + (R_{22} / R_{23}) \cdot V_{BIAS}$$

となる。

【0108】参照電圧Vrefは、ほぼ基準セルREFCのしきい値電圧VTHREFCである、とすると、レギュレート電圧VRは、

$$V_R = (R_{22} / R_{21}) \cdot V_{THREFC} + (R_{22} / R_{23}) \cdot V_{BIAS}$$

となる。

【0109】このように、他の回路例によれば、一回路例に比べて、レギュレート電圧VRに、電圧 $(R_{22} / R_{23}) \cdot V_{BIAS}$ が加算されるので、例えば集積回路中の抵抗の種類が限られている場合に、レギュレート電圧VRの設定に自由度を持たせることができる。

【0110】また、特に図示しないが、カレントミラー入力段74に入力される電圧は、バイアス電圧VBIAS以外の電圧に変更することも可能である。他の電圧の例としては、バンドギャップレファレンス回路から発生された電圧がある。

【0111】なお、この発明は、バンドギャップレファレンス回路を否定するものではなく、読み出し電圧VDDRの変換に使用する参照電圧Vrefを、バンドギャップレファレンス回路を利用して発生させると、読み出し電圧VDDRのレベルが電源電圧の変動や、温度変動に係わらずに一定になってしまう事情を解消するものである。

【0112】半導体集積回路中には、電源電圧の変動や、温度の変動に係わらずに、ほぼ一定レベルの電圧を

発生できるバンドギャップレファレンス回路を必要とする回路も多い。即ち、この発明が適用される半導体集積回路装置においても、バンドギャップレファレンス回路は、搭載されていることが多いのである。

【0113】また、特に図示しないが、第2の実施形態で説明した参照電圧Vref'を、電流変換回路71の入力段72に入力するように変形することでも、レギュレート電圧VRの設定値を、電圧 $(R_{22} / R_{21}) \cdot V_{THREFC}$ 以外のレベルにできる。

【0114】もちろん、この変形は、上記他の回路例と併用することも可能である。

〔第6の実施形態〕上記第1の実施形態に係る半導体集積回路装置では、VDDPディテクタ21、VDDRレギュレータ22、VDDRディテクタ23を有する。これらの回路は全て、差動増幅器（オペアンプ）を含んでいる。

【0115】この第6の実施形態は、差動増幅器を用いなくて、読み出し電圧VDDRを出力できる回路を提供するものである。図11は、この発明の第6の実施形態に係る電圧変換回路の一回路例を示す回路図である。図12は、その主要な信号または電圧波形を示す波形図である。

【0116】なお、上記実施形態では、信号PONRST'が“L”レベルとなると、昇圧回路1が昇圧電圧VDDPを出力し出す例を示したが、この第5の実施形態では、信号PONRST'が無くても、動作し出す例を示す。以下、その構成を、その動作とともに説明する。

【0117】図12に示すように、外部電源Vddの電位が0Vから上昇し、最小動作電圧Vddminに達すると、図11に示す電圧変換回路2'のインバータINV.7の出力が、外部電源Vddの電位上昇に併せて上昇し出す。これとともに、昇圧回路1'は、外部電源Vddの昇圧動作を開始し、昇圧電圧VDDPを出力する。昇圧回路1'の一回路例を図13に示す。昇圧電圧VDDPは、参照電圧発生回路5'に供給される。この第5の実施形態では、昇圧電圧VDDPが、読み出し電圧VDDRとなる。

【0118】図11に示すように、参照電圧発生回路5'の参照電圧出力段51'は、参照電圧Vrefを発生させるための負荷を、PMOS P3ではなく、抵抗R31としている。抵抗R31は、数メガオームの高い抵抗値を持つ。このような参照電圧発生回路5'は、図1に示したような入力段52を必要とせず、参照電圧Vrefを発生することができる。

【0119】昇圧電圧VDDPのレベルが、基準セルREFCのしきい値電圧VTHREFCを超えると、基準セルREFCは“ON”する。基準セルREFCが“ON”すると、参照電圧Vrefは、ほぼ基準セルREFCのしきい値電圧VTHREFCで安定するようになる。昇圧電圧VDDPと参照電圧Vrefとの関係を図14(A)に示す。

参照電圧Vref は、電圧変換回路2'のVDDRレギュレータ22'に供給される。

【0120】VDDRレギュレータ22'は、昇圧電圧VDDPを、所定レベルの読み出し電圧VDDRにレギュレートする機能と同時に、読み出し電圧VDDRが所定レベルに達したことを検知するディテクタとしての機能を併せ持つ。

【0121】VDDRレギュレータ22'は、ソースに昇圧電圧VDDPの供給を受けるPMOS P6、およびPMOS P6のドレインと回路内接地電位Vs sとの間に直列に接続された抵抗R32を含む。抵抗R32は、数メガオームの高い抵抗値を持つ。PMOS P6のドレインと抵抗R32とのノード81からは、昇圧電圧VDDPが、所定の読み出し電圧VDDRのレベルに達したか否かを検知する検知電圧VOが得られる。

【0122】検知電圧VOは、昇圧電圧VDDPのレベルが、基準セルREFCのしきい値電圧VTHREFCを超え、さらにPMOS P6のしきい値電圧VTHPの絶対値を超えると、昇圧電圧VDDPの上昇に併せて上昇する。即ち、検知電圧VOのレベルは、PMOS P6が“OFF”している間、“L”レベルであり、“ON”すると“H”レベルとなる。昇圧電圧VDDPと検知電圧VOとの関係を図14(B)に示す。検知電圧VOは、インバータINV. 8、およびレベルシフタLS. 2に供給される。

【0123】検知電圧VOのレベルが、インバータINV. 8、およびレベルシフタLS. 2のしきい値電圧よりも低い間(PMOS P6が“OFF”)は、レベルシフタLS. 2のNMOS NE8が“OFF”、NMOS NE9が“ON”する。これにより、電圧変換回路2'は、“L”レベルの信号SVDDR、“H”レベルの信号CPENを出力する。信号CPENが“H”レベルの間、昇圧回路1'は、外部電源Vddの昇圧動作を行う。

【0124】PMOS P6が“ON”し、検知電圧VOのレベルが、インバータINV. 8、およびレベルシフタLS. 2のしきい値電圧を超えると、レベルシフタLS. 2のNMOS NE8が“ON”、NMOS NE9が“OFF”する。これにより、電圧変換回路2'は、“H”レベルの信号SVDDR、“L”レベルの信号CPENを出力する。信号CPENが“L”レベルの間、昇圧回路1'は、外部電源Vddの昇圧動作を停止する。これとともに、信号SVDDRが“H”レベルとなることにより、昇圧電圧VDDPが所定の読み出し電圧VDDRに達したことが検知される。

【0125】次に、読み出し電圧VDDRのレベルについて説明する。VDDRレギュレータ22'のPMOS P6のしきい値電圧を“VTHP”とすると、PMOS P6は、昇圧電圧VDDPが下記のレベルに達したとき、“ON”する。

【0126】 $VDDP = Vref + |VTHP|$

即ち、昇圧電圧VDDPは、PMOS P6が“ON”することにより、電圧“Vref + |VTHP|”にレギュレートされる。この電圧“Vref + |VTHP|”が、読み出し電圧VDDRとなる。

【0127】参照電圧Vref は、ほぼ基準セルREFCのしきい値電圧VTHREFCである、とすると、昇圧電圧VDDPは、
 $VDDP \approx VTHREFC + |VTHP|$
 となる。

【0128】このように第6の実施形態では、昇圧電圧VDDPを、ほぼ基準セルREFCのしきい値電圧VTHREFCに、PMOS P6のしきい値電圧VTHPの絶対値を加算したレベルにレギュレートできる。このレギュレートされた電圧が、読み出し電圧VDDRとなる。電圧“VTHREFC + |VTHP|”は、ほぼ3.7Vである。

【0129】このような読み出し電圧VDDRであっても、電源電圧の変動や温度の変動によって、基準セルREFCのしきい値電圧VTHREFCが変動するので、ヒューズセルFCのしきい値電圧の変動に併せて変動するようになる。これにより、上記実施形態と同様の効果を得ることができる。

【0130】しかも、第6の実施形態によれば、差動増幅器OP. 2および帰還制御を用いずに、昇圧電圧VDDRを読み出し電圧VDDRにレギュレートできるので、回路設計が行い易く、かつ“発振現象”への対策が不要である。歩留りの向上も期待できる。さらに第6の実施形態によれば、差動増幅器OP. 3を含むVDDRディテクタ23も不要であるので、回路数の削減を達成できると同時に、上記の効果をもより顕著に得ることができる。

【0131】また、第6の実施形態により説明された参照電圧発生回路5'では、その出力段51'の電源として、昇圧電圧VDDPを用いている。この構成によれば、次のような利点がある。

【0132】外部電源Vddが3V以下となると、ヒューズセルFCと同じ不揮発性メモリセルで構成された基準セルREFCにおいても、その初期しきい値電圧のほうが外部電源Vddよりも高くなることもある。基準セルREFCのゲートの電圧は、参照電圧Vrefを得るノード54から得る。このため、基準セルREFCのしきい値電圧が、外部電源Vddよりも高くなると、基準セルREFCは“OFF”してしまう。即ち、参照電圧Vrefを発生できなくなる。

【0133】そこで、第6の実施形態のように、出力段51'の電源を、外部電源Vddを昇圧した昇圧電圧VDDPとすることで、外部電源Vddが、基準セルREFCのしきい値電圧よりも低い場合においても、基準セルREFCを“ON”させることができる。

【0134】第6の実施形態によれば、このような利点をさらに得ることができる。なお、第6の実施形態にお

いて、読み出し電圧VDDRは“Vref + |VTHP|”となる。このような読み出し電圧VDDRのレベルを変更するには、(A) 参照電圧Vref のレベルを変更する、(B) PMOS P6のしきい値電圧VTHP を変更する、これらの少なくともいずれかで可能である。

【0135】上記(A)については、基準セルREFCのしきい値電圧VTHREFCを変更すれば良い。上記第3の実施形態でも述べた通り、基準セルREFCは、不揮発性メモリセルであるので、電子を浮遊ゲートに注入(即ちデータを書き込む)すれば、そのしきい値電圧VTHREFCを変更できる。

【0136】また、抵抗R31、R32の抵抗値を変更することでも、参照電圧Vref を変更できる。抵抗R31、R32の抵抗値は、参照電圧出力段51'の電源電圧(第6の実施形態では昇圧電圧VDDP)と基準セルREFCのドレイン電流との関係に作用する。基準セルREFCのしきい値電圧VTHREFCは、そのドレイン電流が規定値(通常、1 μ A)に達したときのゲートの電圧、と定義される。即ち、基準セルREFCのドレイン電流が規定値に達したときの、参照電圧出力段51'の電源電圧のレベルを変更すれば、ドレイン電流が規定値に達したときのゲートの電圧を変更できる。これは、基準セルREFCのしきい値電圧VTHREFCが変更されたことと等価になる。

【0137】上記(B)については、PMOS P6のゲート酸化膜の厚さを変更する、チャネルイオン注入の有無、およびゲート長を変更する、の少なくともいずれかで可能である。

【0138】また、これらのような方法によりしきい値電圧VTHP を変更したPMOSを、数種類、チップ中に設けておいても良い。このように構成すれば、配線用マスクを変更し、任意のしきい値電圧のPMOSを選べば、PMOS P6のしきい値電圧VTHP を変更できる。即ち、製造プロセスを変更せず、配線用マスクを交換するだけでPMOS P6のしきい値電圧VTHP を変更できる。

【0139】また、この方法は、抵抗R31、R32においても使用できる。即ち、抵抗値の異なる抵抗を、数種類、チップ中に設けておく。そして、配線用マスクを変更して、任意の抵抗値の抵抗を選べば、抵抗R31、R32の抵抗値を変更できる。

【0140】このようなしきい値電圧の異なるPMOS、および抵抗値の異なる抵抗を、数種類チップに設けておく方法は、製造プロセスを変更せず、配線用マスクを交換するだけで、読み出し電圧VDDRのレベルを変更できる。このため、製品の受注から完成までのターン・アラウンド・タイムを短くできる。

【0141】また、基準セルREFCにデータを書き込んで、そのしきい値電圧VTHREFCを変更する構成においても、参照電圧発生回路5'に、書き込み回路、および

消去回路を設ければ良いので、製造プロセスを変更せずに、読み出し電圧VDDRのレベルを変更できる。このため、上記同様、製品の受注から完成までのターン・アラウンド・タイムを短くできる。

【0142】[第7の実施形態] 上述した実施形態は、昇圧回路1または1'を、データの読み出し/ラッチシーケンス終了後においても動作させることが想定されている。

【0143】しかし、昇圧回路1または1'は、データの読み出し/ラッチシーケンス終了後に、非活性としても良い。なお、昇圧回路1または1'を、データの読み出し/ラッチシーケンス終了後に非活性とするには、特に図示しないが、信号FENDを使用して、昇圧回路1または1'のリングオシレータ11を、非活性にすれば良い。

【0144】このような第7の実施形態によれば、データの読み出し/ラッチシーケンス終了後に、昇圧回路1または1'を非活性とするので、消費電力を低減できる、という利点を得ることができる。

【0145】[第8の実施形態] この第8の実施形態は、この発明が適用される半導体集積回路装置の一例に関する。

【0146】図15は、この発明を適用できるフラッシュEEPROMの一構成例を示すブロック図、図16はヒューズセル回路の一回路例を示す回路図である。図15に示すように、フラッシュEEPROMチップ100内には、メモリセルMCが行列状に集積されたメモリセルアレイ101が形成されている。

【0147】メモリセルアレイ101に集積されたメモリセルMCはそれぞれ、浮遊ゲート、制御ゲート、ソースおよびドレインを有し、浮遊ゲートに電子を注入することで、そのしきい値電圧を変化させる不揮発性型である。この不揮発性型のメモリセルMCは、ヒューズセルFC、および基準セルREFCと同じものである。メモリセルMCの制御ゲートはワード線WLに接続され、そのドレインはビット線BLに接続され、そのソースはソース線SLに接続されている。

【0148】アドレスバッファ102は、外部からのアドレス信号を受け、内部アドレス信号を発生する。アドレスバッファ102で発生された内部アドレス信号は、ローデコーダ(R/D)103、カラムデコーダ(C/D)104に供給される。

【0149】ローデコーダ103は、内部アドレス信号にしたがって、ワード線WL(ロー)を選択する。カラムデコーダ104は、内部アドレス信号にしたがって、ビット線BL(カラム)を選択する。

【0150】カラムセレクト105は、カラムデコーダ104の出力を受け、選択されたビット線BLを、センスアンプ106、または書き込み回路107に電氣的に接続する。

【0151】センスアンプ106は、データ読み出し時に、選択されたメモリセルMCから、ビット線BLを介して読み出されたデータを増幅する。書き込み回路107は、データ書き込み時に、選択されたメモリセルMCに、ビット線BLを介してデータを書き込む。

【0152】I/Oバッファ108は、データ読み出し時に、センスアンプ106から出力された読み出しデータを、外部に出力する。また、データ書き込み時に、外部から入力された書き込みデータを、書き込み回路107に入力する。

【0153】このようなフラッシュEEPROMにおいて、ヒューズセル回路4は、メモリセルアレイ101内の不良カラム／ローを、予備のカラム／ローに置換する、いわゆるリダンダンシデータを記憶する回路に使用される。

【0154】ヒューズセル回路4は、不良カラム／ローに対応した不良アドレスデータを記憶している。ヒューズセル回路4は、記憶した不良アドレスデータ(FUSE)を、不良アドレス判定回路109に対して出力する。ヒューズセル回路4の具体的な回路例を図16に示す。上記実施形態では、ヒューズセルFCを1つのみ示した。しかし、実際には多くのデータを記憶するために、図16に示すように、ヒューズセルFCは、複数設けられる。そして、これら複数のヒューズセルFCから一度にデータを読み出し、それぞれラッチ回路LATにラッチするようになっている。ラッチ回路LATは、装置が通常の動作をしている間、複数のデータFUSE(同図には、8ビットのデータFUSE1～FUSE8を示す。)を出力し続ける。この第8の実施形態では、複数のラッチ回路LATは、8ビットのデータFUSE1～FUSE8を、不良アドレスデータとして出力する。

【0155】不良アドレスデータは、不良アドレス判定回路109に供給される。不良アドレス判定回路109は、アドレスバッファ102からの内部アドレスと、不良アドレスデータと比較する。内部アドレスと、不良アドレスデータとが一致したら、不良アドレス判定回路109は、正規のローデコーダ(R/D)、もしくは正規のカラムデコーダ(C/D)に代えて、予備のローデコーダ(スベアR/D)、もしくは予備のカラムデコーダ(スベアC/D)を選択する。これにより、欠陥のあった正規のワード線、もしくは正規のビット線に代わって、予備のワード線、もしくは予備のビット線が選択されるようになり、欠陥のあったメモリセルアレイ101を持つチップを救済できる。

【0156】この発明は、図15に示すようなフラッシュEEPROMに使用することができる。なお、この発明は、図15に示すフラッシュEEPROMばかりでなく、リダンダンシ技術が用いられる、他の半導体メモリにも使用できることはもちろんである。

【0157】また、ヒューズセル回路4には、リダンダン

シデータばかりでなく、チップの仕様を切り換えるようなデータを記憶させることができる。チップの仕様を切り換えるデータの例を下記する。

【0158】(A) I/Oビット数を切り換えるデータ、(B) 書き込み／消去禁止のブロックを指定するデータ、(C) 外部パッドの位置をパッケージに対応させて切り換えるデータ、(D) データ消去のブロックサイズを決めるトップ・ブート／ボトム・ブートを切り換えるデータ、これらのようなデータを記憶させることができる。

【0159】また、チップのテストに使用されていたビルトインテスト回路を、テスト終了後に使用禁止にするデータを記憶させることもできる。このように、この発明に係る半導体集積回路装置が具備するヒューズセル回路4は、リダンダンシデータばかりでなく、上記のようなデータを記憶させることができる。したがって、この発明は、半導体メモリに限らず、他の半導体集積回路装置、例えばマイクロプロセッサにも使用することができる。

【0160】

【発明の効果】以上説明したように、この発明によれば、読み出し電圧とヒューズセルの記憶データに対応したしきい値電圧との差を、電源の電圧変動や温度変動に係わらずに大きく保てる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施形態に係る半導体集積回路装置の回路図。

【図2】図2はこの発明の第1の実施形態に係る半導体集積回路装置の動作を示す波形図。

【図3】図3は昇圧回路の一回路例を示す回路図。

【図4】図4はヒューズセル制御回路の一回路例を示す回路図。

【図5】図5はヒューズセル制御回路の一回路例を示す回路図。

【図6】図6(A)は従来における読み出し電圧およびヒューズセルのしきい値電圧の温度依存性を示す図、図6(B)はこの発明における読み出し電圧およびヒューズセルのしきい値電圧の温度依存性を示す図。

【図7】図7はこの発明の第2の実施形態に係る半導体集積回路装置の回路図。

【図8】図8はこの発明の第4の実施形態に係る半導体集積回路装置の回路図。

【図9】図9はこの発明の第5の実施形態に係る半導体集積回路装置の回路図。

【図10】図10はこの発明の第5の実施形態に係る半導体集積回路装置の他の回路図。

【図11】図11はこの発明の第6の実施形態に係る半導体集積回路装置の回路図。

【図12】図12はこの発明の第6の実施形態に係る半

導体集積回路装置の動作を示す波形図。

【図13】図13は昇圧回路の一回路例を示す回路図。

【図14】図14 (A)は参照電圧Vrefと昇圧電圧VDDPとの関係を示す図、図14 (B)は電圧VOと昇圧電圧VDDPとの関係を示す図。

【図15】図15はこの発明を適用できるフラッシュEPRROMのブロック図。

【図16】図16はヒューズセル回路の一回路例を示す回路図。

【図17】図17は従来回路の回路図。

【図18】図18は従来回路の動作を示す波形図。

【符号の説明】

- 1、1' …昇圧回路、
- 2、2'、2'' …電圧変換回路、
- 3…ヒューズセル制御回路、
- 4…ヒューズセル回路、
- 5、5' …参照電圧発生回路、
- 6…電流変換回路（カレントミラー回路）、
- 11…リングオシレータ、
- 12…チャージポンプ回路、
- 21…VDDPディテクタ、
- 22、22'、22''…VDDRレギュレータ、
- 23…VDDRディテクタ、
- 31…フリップフロップ、
- 32…パルス信号発生回路、
- 33…遅延回路、
- 34…パルス信号発生回路、

41…読み出しデータが得られるノード、

51、51' …参照電圧出力段、

52…VBIAS発生回路、

53…入力段、

54…参照電圧が得られるノード、

55…バイアス電圧が得られるノード、

56…定電流源、

57…入力電圧が得られるノード、

61…入力段、

62…出力段、

71…電流変換回路（カレントミラー回路）、

72…入力段、

73…出力段、

74…入力段、

81…検知電圧が得られるノード、

P1～P6…PMOS、

NI1～NI5…しきい値電圧がほぼ0VとされたNMOS、

NE1～NE9…NMOS、

MC…メモリセル、

FC…ヒューズセル、

REFC…基準セル、

LAT…ラッチ回路、

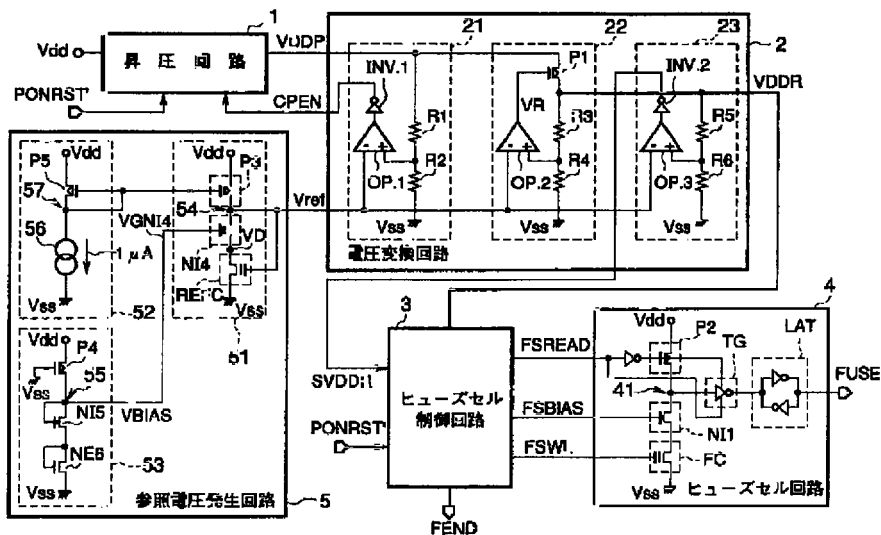
TG…接続回路、

INV. 1～INV. 7…インバータ、

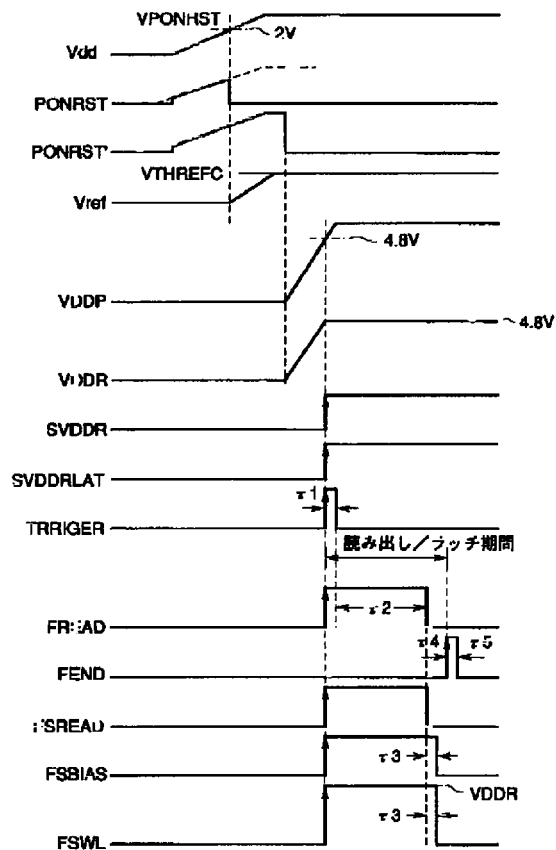
LS. 1、LS. 2…レベルシフタ、

OP. 1～OP. 3…差動増幅器。

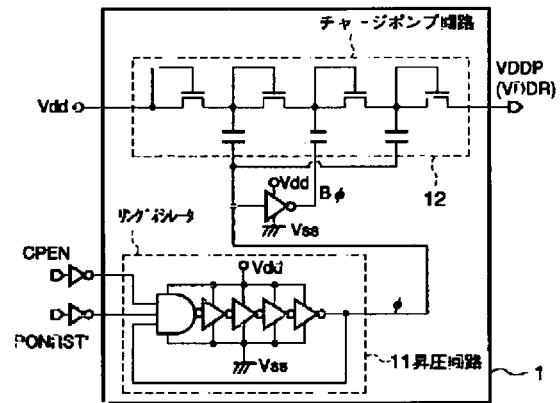
【図1】



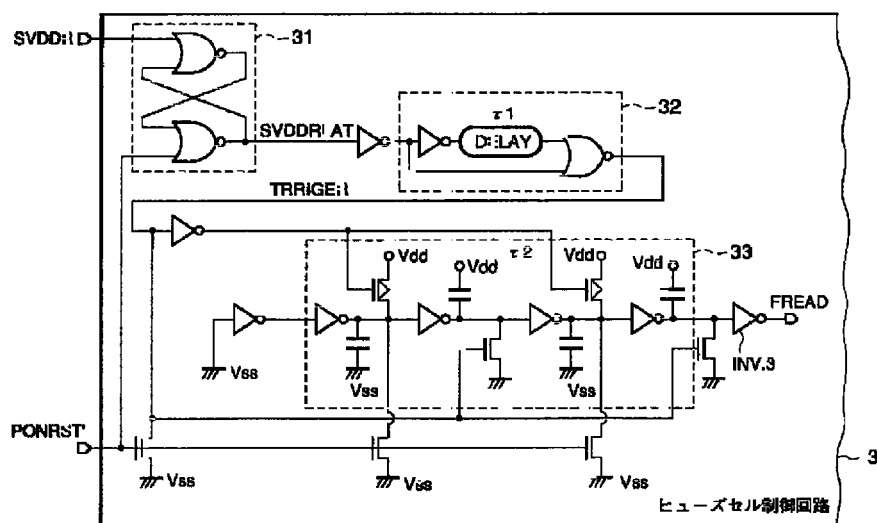
【図2】



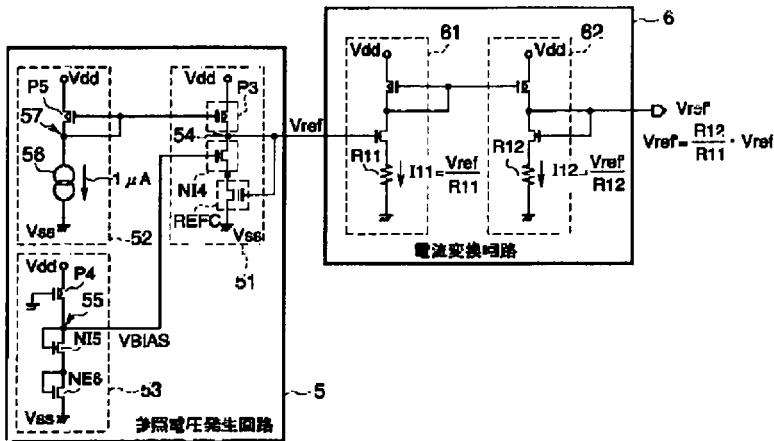
【図3】



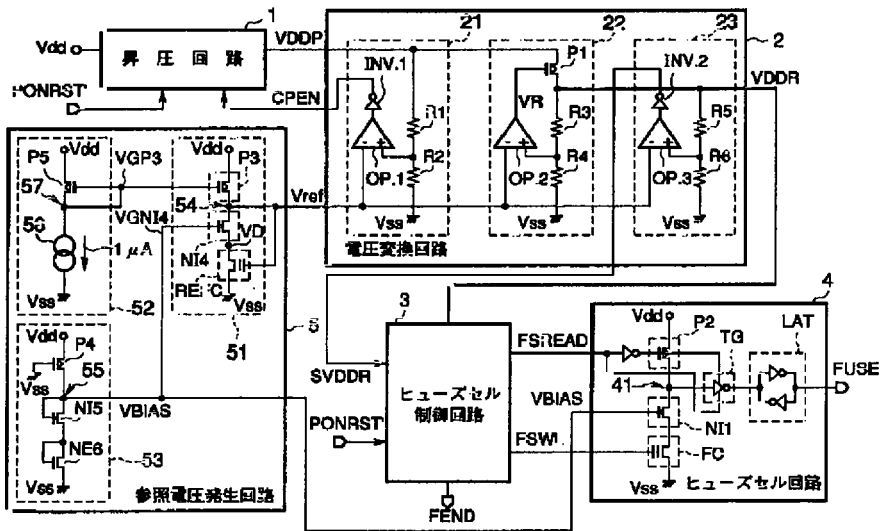
【図4】



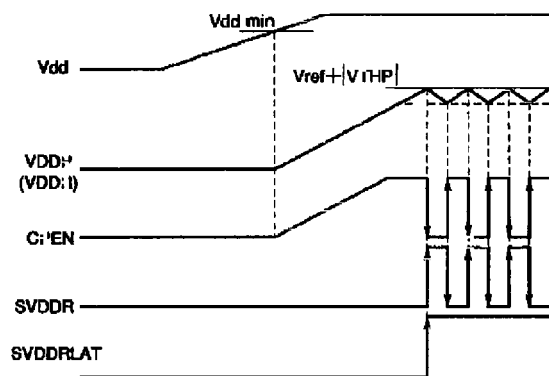
【図7】



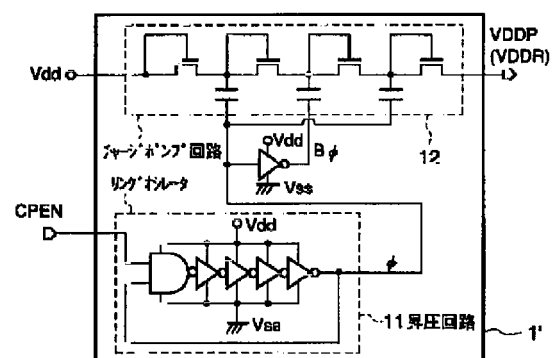
【図8】



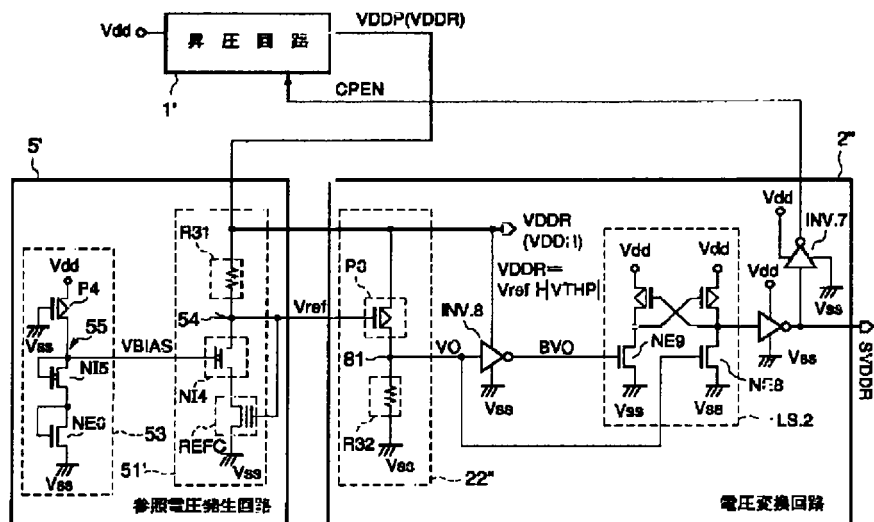
【図 12】



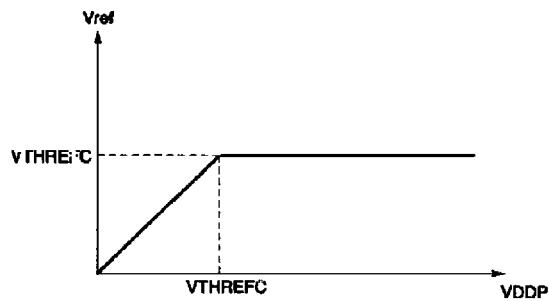
【図 13】



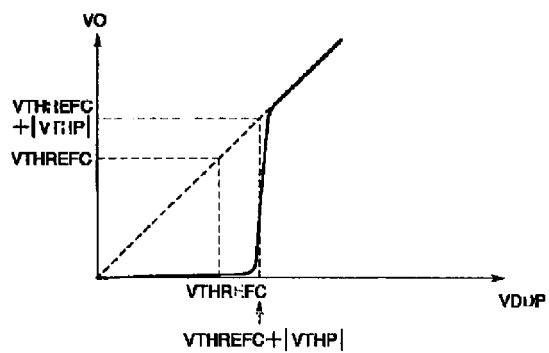
【図11】



【図14】

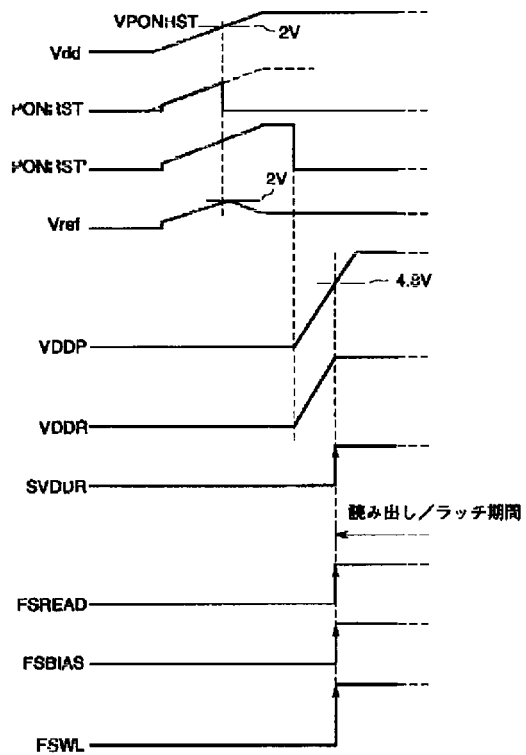


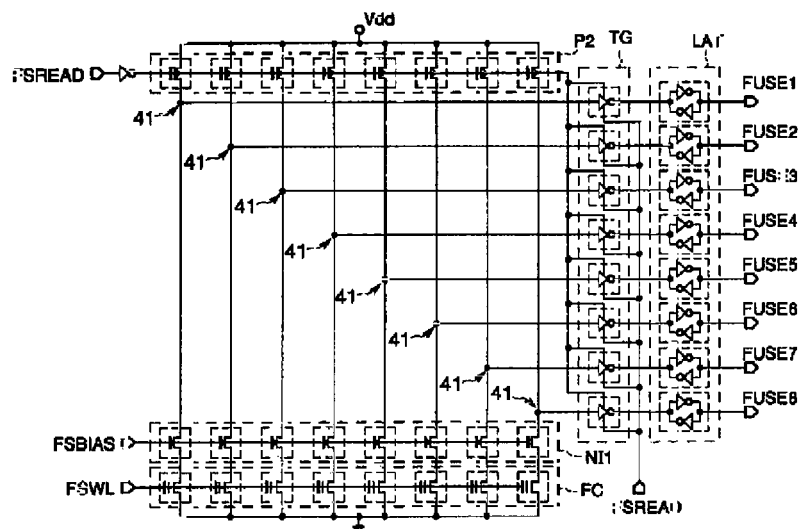
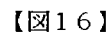
(A)



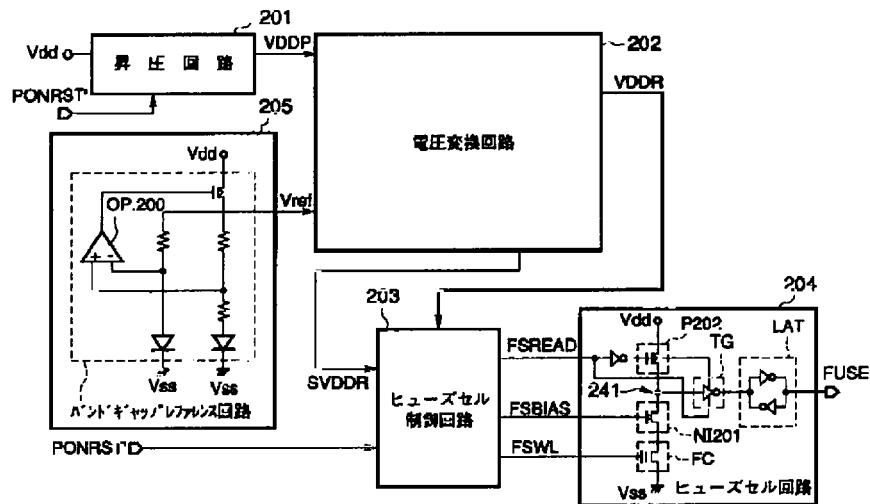
(B)

【図18】





【図17】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

(参考)

H 0 1 L 21/82

(72)発明者 番場 博則

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 志賀 仁

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

F ターム(参考) 5B015 HH01 HH03 JJ41 JJ44 KB63

KB64 KB65 KB91 KB92 NN09
QQ15 QQ16

5B025 AA01 AB01 AC01 AD09 AE08

5F038 AV15 BB02 BB04 BB05 BB08

BG02 BG03 BG05 BG06 DF01

DF05 DF12 EZ20

5F064 BB07 BB14 BB19 BB24 BB40

CC12 CC21 CC22 CC23 DD36

5L106 AA10 CC09 FF08 GG07